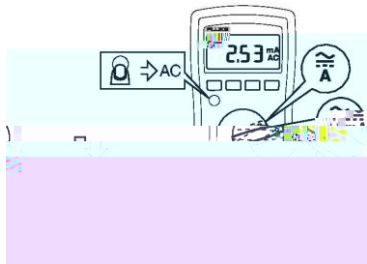


2018.08

.....	1
.....	6
.....	10
.....	13
.....	18
.....	24
.....	27
.....	32







1

2

3

Q

Av

Ri

R0

4

1

2

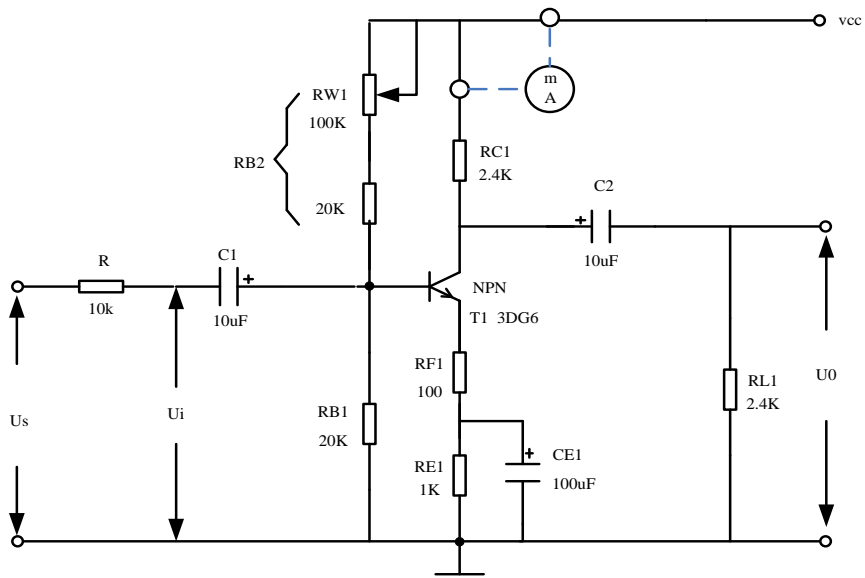
3

1

2

1

, 2-1



2-1

2

a)

b)

+12V U_i U_s

R_{W1} $V_E = 2.2V$ V_{BE} V_{CE} R_{B2}

2.1

2.1

V_{BEQ}	V	V_{CEQ}	V	R_{B2}	K

c) R_{W1} $V_E = 2.2V$ I_C

T1 V_B R_{B2} R_{B1}

2.2

T1

I_B

β

$$I_B = \frac{V_{CC} - V_B}{R_{B2}} - \frac{V_B}{R_{B1}} \quad \beta = \frac{I_C}{I_B}$$

I_B

2.2 I_B β

2.2

I_C (mA)	V_B (V)	R_{B2} (K Ω)	R_{B1} (K Ω)	I_B (mA)	β

3

1

f=1KHZ

50mV

U_i

U_i

U_0

U_i U_0

2.3

(2) U_i

f=1KHZ

U_i

U_0

U_0

2.3

2.3

U_i (mV)	U_0 (V)	A_v	A_v
50mV _{P-P}			

U_i U_0

2.3

V_{P-P}

V_{RMS}

(3) $U_i=50 \text{ mV}$ $f=1\text{kHz}$

R_{L1}

R_{L1}

2.4

2.4

R_{C1}	R_{L1}	$U_i(\text{mV})/$ V_{P-P}	$U_o(\text{V})/$ V_{P-P}	A_v	A_v
2.4k	2.4K	50mV _{P-P}			
2.4k	10K	50mV _{P-P}			

(4) $U_i=50 \text{ mV}$ $f=1\text{kHz}$

R_{W1}

U_o

U_B U_C U_E

2.5

2.5

R_{W1}	$U_B(\text{V})$	$U_C(\text{V})$	$U_E(\text{V})$	U_o

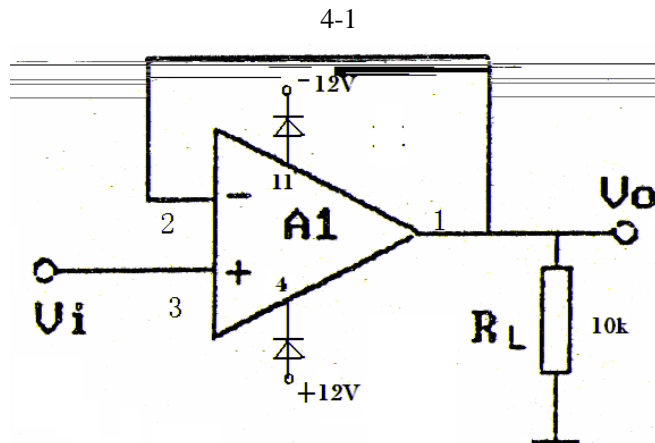
U_i

2

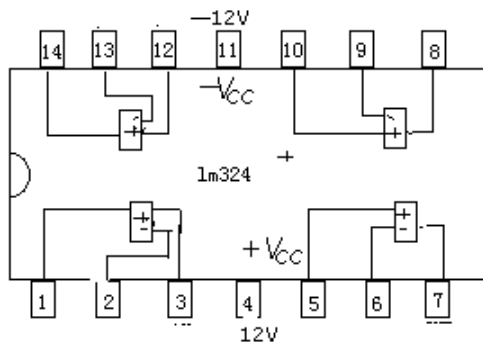
3

V_o A_f

V_o



4.1



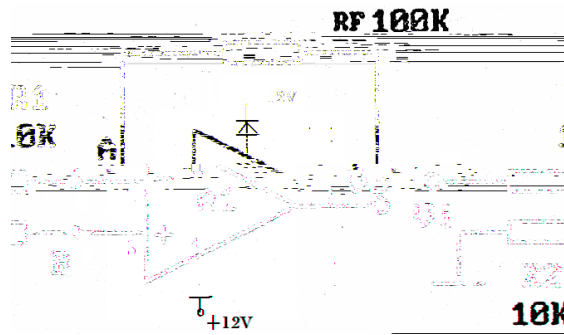
LM324

4-1

Vi V		0	0.5	1	1.5	2
Vo(V)	R _L =					
	R _L =10K					

2

4-2



4-2

4-2

4-2

4-2

4-3

4-3

ΔU_o			
ΔU_{AB}	R_1 开路, 直流输入		
ΔU_{R2}	信号 U_i 由 0 变为		
ΔU_{R1}	800mV		
$U_i = 800mV$			
R_1 由开路变为 5K Ω			ΔU_o

3

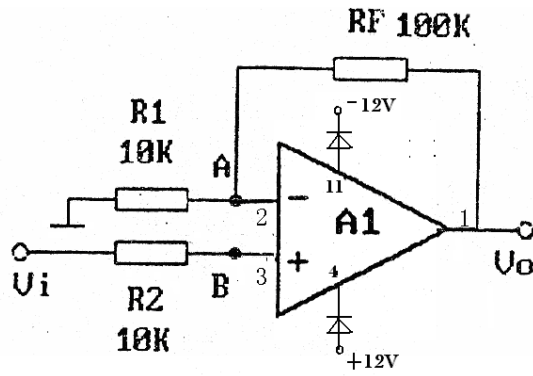
4.3

4.4

4.5

4.4

4.5



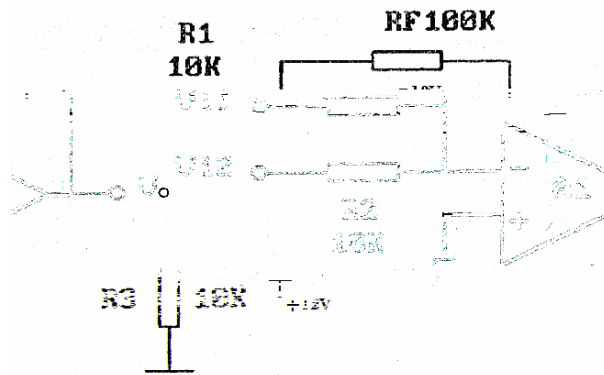
4-3

4-5

测 值	测试条件	理论估算值	实
ΔU_o	RL 开路; 直流输入 信号 U_i 由 0 变为 800mV		
ΔU_{AB}			
ΔU_{R2}			
ΔU_{R1}			

4

4-4



4.4

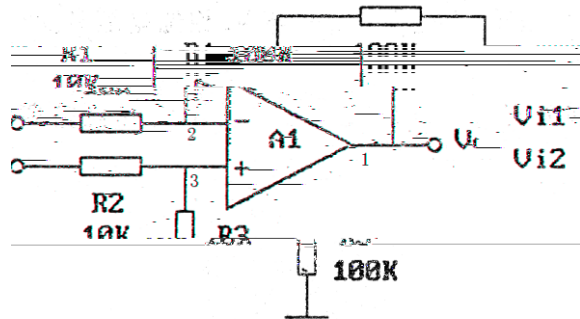
4-6

V_o (V)	0.3	0.1
V_{R2}	0.2	0.2
V_{R1} (V)		

5

4.5

4.7



4.5

	V_{i1} (V)	1	2
V_{i2} (V)	0.5		1.8
V_o (V)			

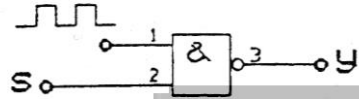
$$F = \overline{\overline{A+B}} = \overline{\overline{A} \bullet \overline{B}}$$

5. 利用与非门控制输出。

用一片 74LS00 按图 1.6 接线。

S 接任一电平开关，用示波器观察

S 对输出脉冲的控制作用。



一、实验目的

1. 掌握组合逻辑电路的功能测试。
2. 验证半加器和全加器的逻辑功能。
3. 学会二进制数的运算规律。

二、实验仪器及材料

器件

74LS00	二输入端四与非门	3片
74LS86	二输入端四异或门	1片

74LS51 四组输入与或非门 1片

三、预习要求

1. 预习组合逻辑电路的分析方法。
2. 预习用与非门和异或门构成的半加器、全加器的工作原理。
3. 预习二进制数的运算。

四、实验内容

路功能测试。

1. 组合逻辑电

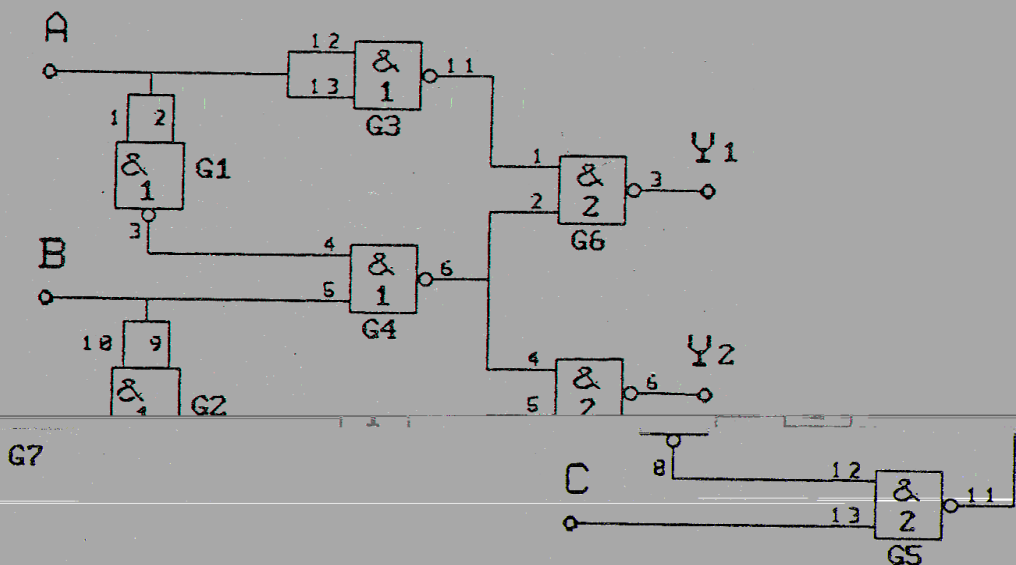


图 6.1

(1) 用 2 片 74LS00 组成图 6.1 所示逻辑电路, 为便于接线和检查, 在图中要注明芯片编号及各引脚对应的编号。

(2) 图中 A、B、C 接由平开关, Y₁、Y₂ 接发光管由平显示。

(3) 按表 6.1 要求, 改变 A、B、C 的状态填表并写出 Y₁、Y₂ 逻辑表达式。

(4) 将运算结果与实验比较。

表 6.1

	输入			输出	
	A	B	C	Y ₁	Y ₂
	0	0	0		
1			0	0	
1			0	1	
1			1	1	
				1	1
				1	0
	0			0	1

和与非门组成的半加器的逻辑

式可知, 半加器 Y 是 A、B 的
B 相与, 故半加器可用一个集
组成如图 6.2。

和与非门接成以下电路, A、B

2. 测试用异或门(74LS86)逻辑功能。

根据半加器的逻辑表达式

异或, 而进位 Z 是 A、B

成异或门和二个与非门

(1). 在学习机上用异或门

表 6.2

输入端	A	0	1	0	1
	B	0	0	1	1
输出端	Y				
	Z				

3. 测试用异或、与或非和非门组成的全加器的逻辑功能

且一块双异或门。全加器可以用两个半加器和两个与门一个或门组成。在实验中，常

的逻辑电路图，写出逻辑表达式。

(1). 画出用异或门、与或非门和非门实现全加器

的图样线。接线时注意与或非门的

(2). 找出异或门、与或非门和与门器件按自己

不用的与门输入端接地。

用万用表测量 S_i 和 C_i 的电位并将其转为逻辑

(3). 当输入端 A_i, B_i 及 C_{i-1} 为下列情况时逻辑状态填入下表。

表 6

C_{i-1}	C_i	S_i	A_i	B_i
0			0	0
0			0	1
0	0		1	
0	0		1	1
0	1			0
0	1			1
1				0
1				1
1	0			0
1	0			1
1	1			0
1	1			1

		A_i	0	0	0	0	1	1	1	1
1	1	输入端	B_i	0	0	1	1	0	0	1
1	0		C_{i-1}	0	1	0	1	0		
			S_i							
		输出端	C_i							

五、实验报告

整理实验数据 画表并对实验结果进行归纳总结

2. 总结组合逻辑电路的分析方法。

1 555

2

3

4

5

1

2

3

2.

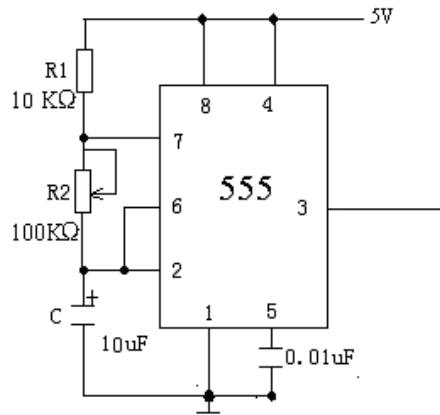
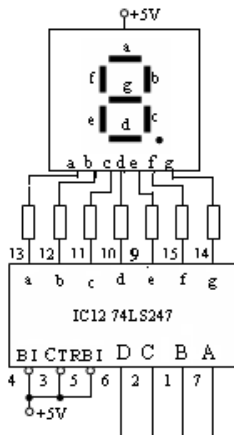
160

7-2

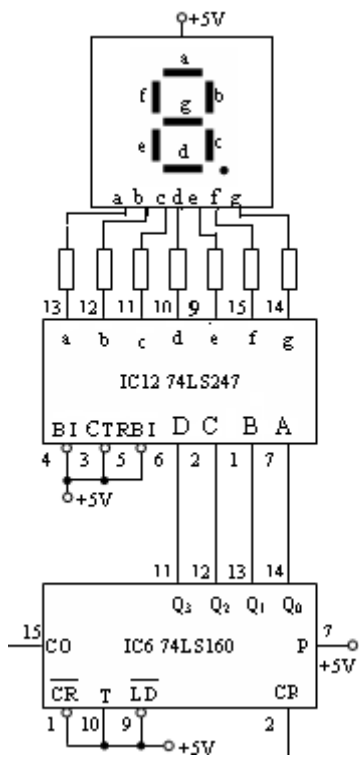
2

7-1

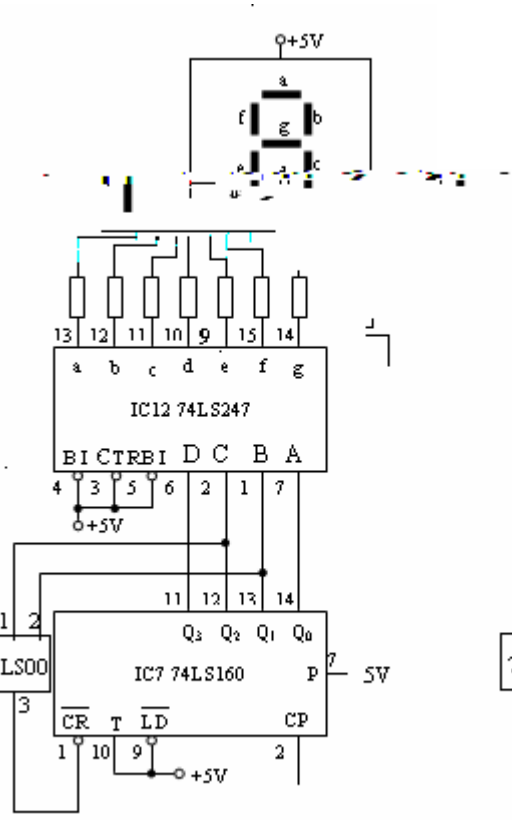
D	C	B	A	
0	0	0	0	
0	0	0	1	
0	0	1	1	
0	1	0	1	
0	1	1	1	
1	0	0	1	



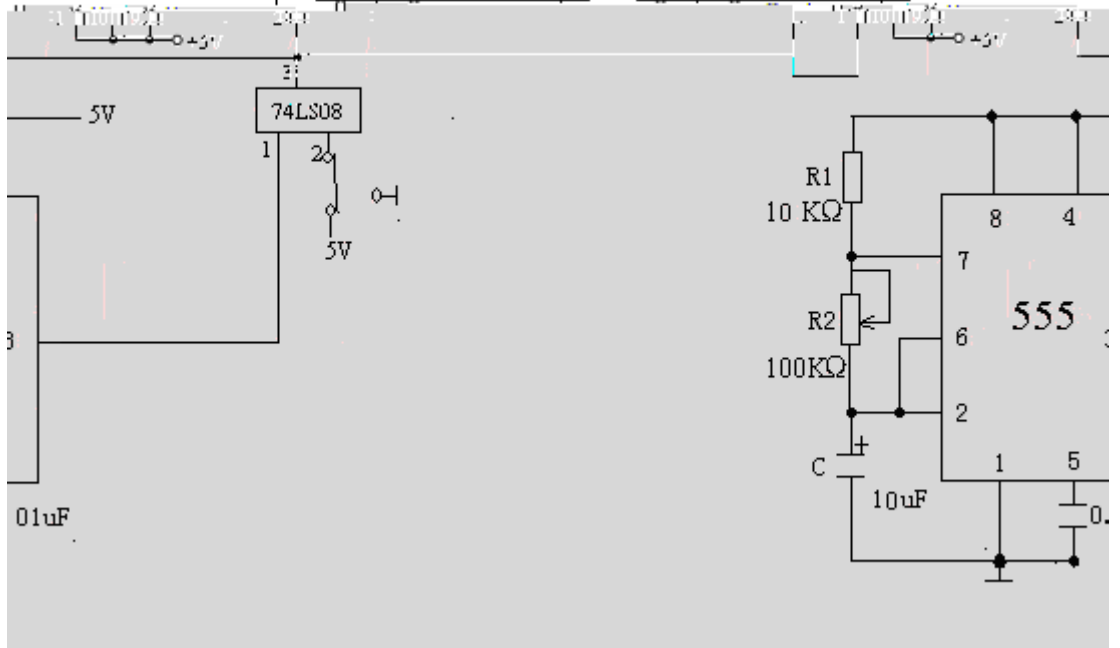
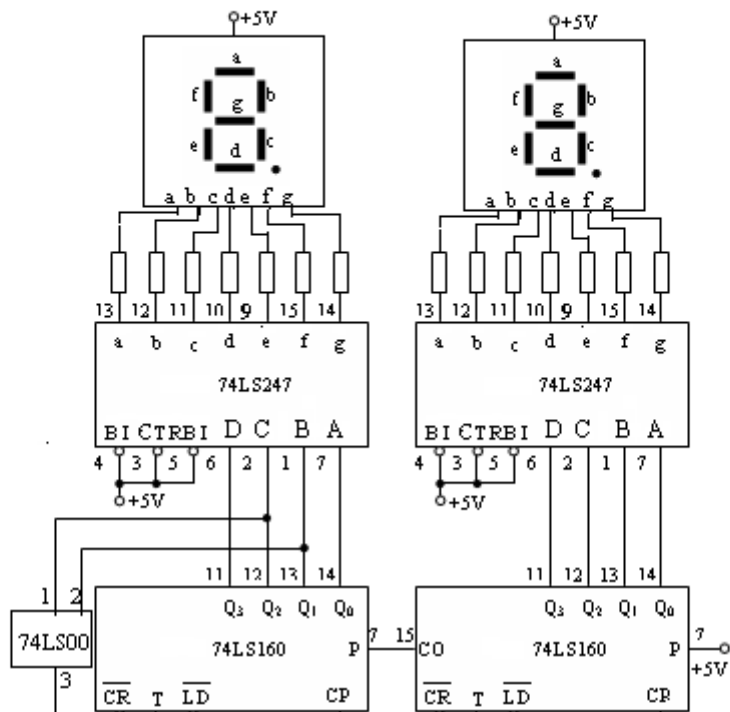
7-4

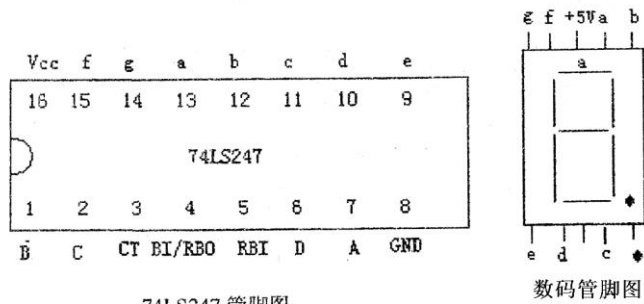


7-2



7-3



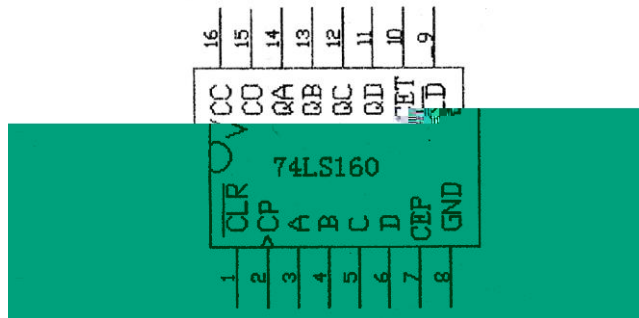
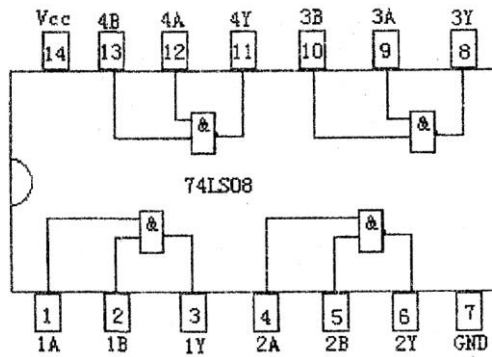


74LS247 管脚图

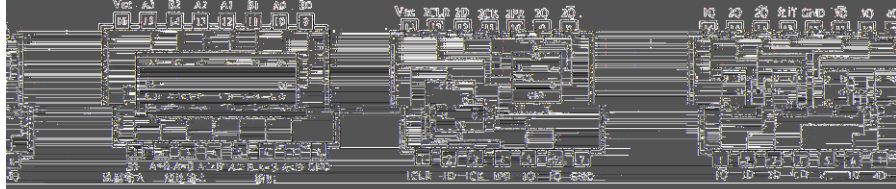
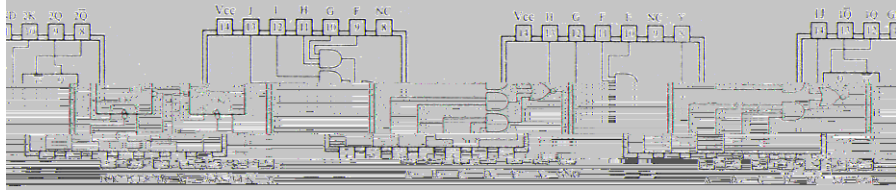
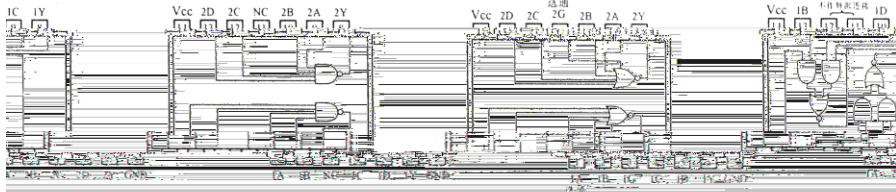
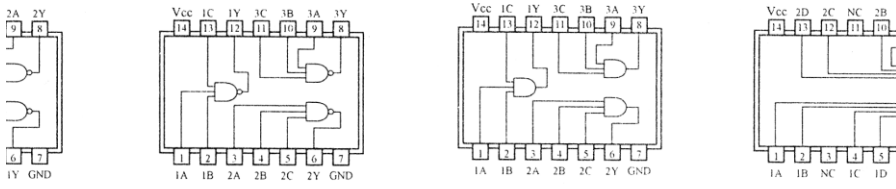
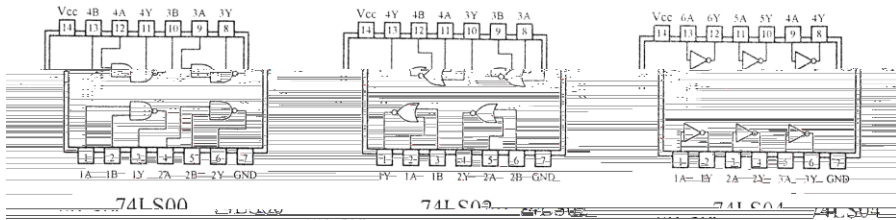
数码管脚图

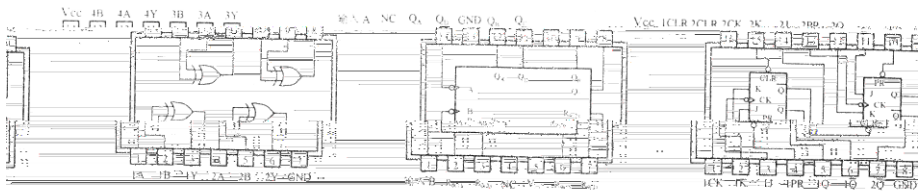
74LS247 功能表:

0	×	1	×	×	×	×	0000000	测试
×	×	0	×	×	×	×	1111111	全灭
1	1	1	0	0	0	0	0000001	0
1	1	1	1	0	0	1	0000100	9



74LS08 74LS160

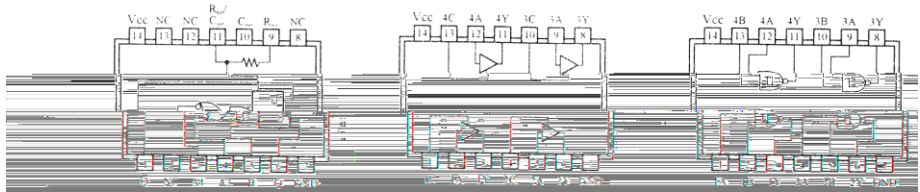




74LS86

74LS90

74LS112



74LS121

74LS126

74LS132

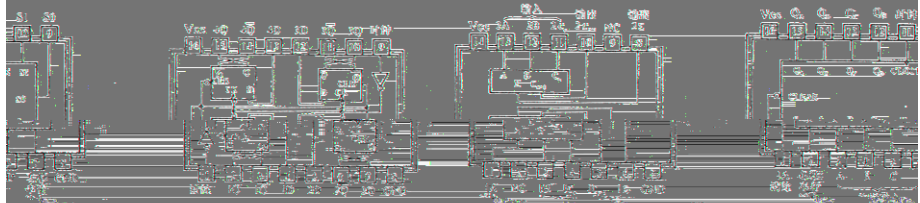


74LS139

74LS153

74LS160

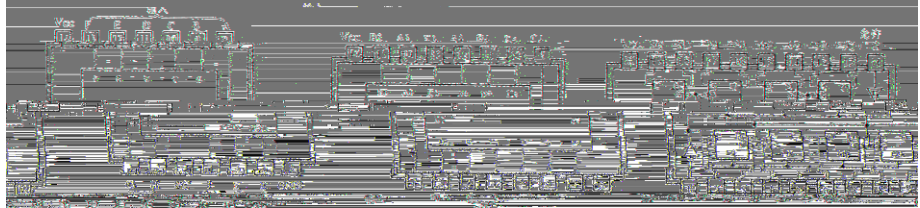
74LS161



74LS175

74LS183

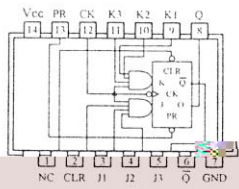
74LS194



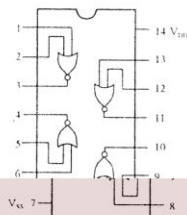
74LS273

74LS280

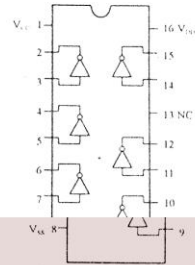
74LS283



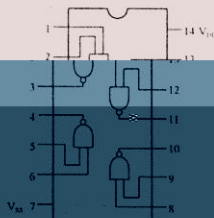
74H72



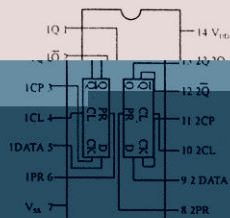
CD4001B



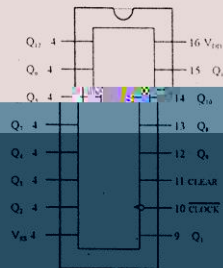
CD4009B



CD4011B



CD4013B



CD 4040B



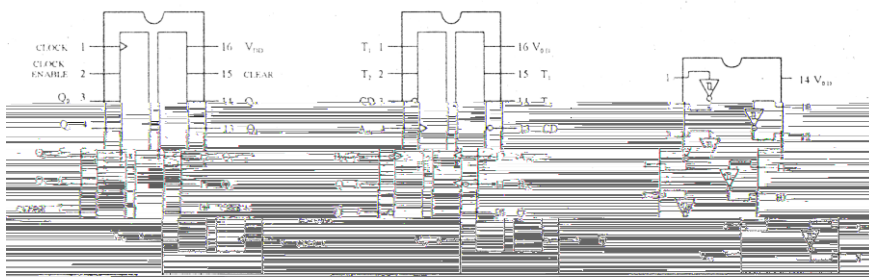
CD4069B



CD4070B



CD4068B



CD40106B

CD4520B

CD4528B

